

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Motoshige IGARASHI

GAU:

SERIAL NO:NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-112568	April 17, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee


Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月17日

出 願 番 号

Application Number:

特願2003-112568

[ST.10/C]:

[JP2003-112568]

出 願 人

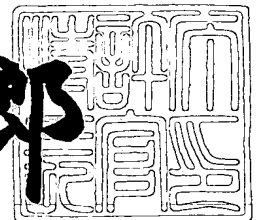
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046078

【書類名】 特許願

【整理番号】 542879JP01

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 五十嵐 元繁

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に複数のゲート電極構造を備えた半導体装置であって、

前記ゲート電極構造は、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極の側部に形成されるオフセットスペーサーとを備え、

前記複数のゲート電極構造のそれぞれは、

前記ゲート絶縁膜との境界に位置する前記ゲート電極のゲート長に、前記半導体基板との境界に位置する前記オフセットスペーサーの幅を加えた長さが、略一定であることを特徴とする、

半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、

前記ゲート電極の形状が、垂直形状、順テーパ形状及び逆テーパ形状のものが同時に半導体基板上に存在する、

半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、

前記ゲート電極の両側に位置する前記半導体基板内において、浅いソース・ドレイン領域と深いソース・ドレイン領域とが形成され MOSFET を構成することを特徴とする、

半導体装置。

【請求項 4】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

(a) 前記ゲート電極上に CVD 法により絶縁膜を成膜する工程と、

(b) 前記絶縁膜の表面に不純物を全面に注入する工程と、

(c) 前記不純物を注入した前記絶縁膜をウェットエッチングする工程と、

(d) 前記ウェットエッチング後の前記絶縁膜に対し、異方性ドライエッチン

グによりオフセットスペーサーを形成する工程とを備え、

前記ゲート電極の形成後に、前記ゲート電極のゲート長を測定する工程を有し、前記測定に基づき前記工程（a）、前記工程（c）及び前記工程（d）を調整することを特徴とする、

半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法であって、

前記工程（a）において、前記ゲート電極の全ての位置で前記ゲート長の長さが所定の長さより短い場合に、所定の膜厚より厚い絶縁膜を前記ゲート電極上に成膜し、

前記ゲート電極の全ての位置で前記ゲート長の長さが所定の長さより長い場合に、所定の膜厚より薄い絶縁膜を前記ゲート電極上に成膜することを特徴とする、

半導体装置の製造方法。

【請求項6】 請求項4に記載の半導体装置の製造方法であって、

前記工程（c）において、前記ゲート電極の全ての位置で前記ゲート長の長さが所定の長さより短い場合に、前記絶縁膜に対して行うウェットエッチングの処理時間を所定の処理時間より短くし、

前記ゲート電極の全ての位置で前記ゲート長の長さが所定の長さより長い場合に、前記絶縁膜に対して行うウェットエッチングの処理時間を所定の処理時間より長くすることを特徴とする、

半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係る発明であって、特に、オフセットスペーサーを用いてトランジスタ特性のバラツキを制御した半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

半導体装置においてトランジスタ特性は、ゲート電極の形状に依存する。そのため、ウェハ面内のゲート電極パターンの疎密によってゲート電極の形状が影響を受けると、トランジスタ特性も影響を受けばつくこととなる。そこで、ゲート電極パターンの疎密によらずウェハ面内でトランジスタ特性を均一に保つことができる半導体装置その形成方法が、特許文献 1 により提供されている。

【 0 0 0 3 】

特許文献 1 では、まず半導体基板上にゲート絶縁膜を介して逆テーパ形状のゲート電極を形成する。このゲート電極をマスクにして半導体基板に低濃度拡散層を形成するための不純物を注入する。ゲート電極の側部にサイドウォールを形成する。ゲート電極及びサイドウォールをマスクにして半導体基板中に拡散層を形成するための不純物を注入し、低濃度拡散層と拡散層とからなるソース及びドレインを形成し、半導体装置を形状にする。これによって、底面におけるゲート長方向の幅が均一なサイドウォールを形成できる。

【 0 0 0 4 】

また、オフセットスペーサーを用いた半導体装置は、特許文献 2 に示されている。特許文献 2 では、半導体基板上にシリコン酸化膜を堆積し、その上にポリシリコン膜を堆積する。ポリシリコン膜に上部で濃度が高くなるように窒素を導入した後、ポリシリコン膜をパターニングしてゲート電極を形成する。ゲート電極の表面を覆うシリコン酸化膜を形成した後、ゲート電極の側面上に下部で厚く、上部で薄いオフセットスペーサーを残す。次に、エクステンション領域を半導体基板内に形成後ゲート上部にシリサイド膜を形成する。

【 0 0 0 5 】

【特許文献 1】

特開平 8 - 2 0 4 1 8 4 号公報（第 3 - 4 頁、第 1 - 3 図）

【特許文献 2】

特開 2 0 0 2 - 2 8 9 8 4 1 号公報（第 6 - 8 頁、第 1 - 3 図）

【 0 0 0 6 】

【発明が解決しようとする課題】

しかし、特許文献 1 では、逆テーパ形状のゲート電極を有する半導体装置に関

する発明であるため、垂直形状や順テーパ形状のゲート電極を有する半導体装置に対しては適用することができない。また、特許文献2では、ゲート電極を加工後に酸化処理によってオフセットスペーサーを形成している。そのため、オフセットスペーサーはゲート電極の形状に制約を受け、ウェハ面内でトランジスタ特性を均一に保つことができない場合も考えられる。

【0007】

そこで、本発明は、ゲート電極の形状が垂直形状、順テーパ形状、逆テーパ形状であっても、オフセットスペーサーを用いることでゲート電極の実効的なゲート長が一定にすることが可能な半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明に係る解決手段は、半導体基板上に複数のゲート電極構造を備えた半導体装置であって、ゲート電極構造は、半導体基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の側部に形成されるオフセットスペーサーとを備え、複数のゲート電極構造のそれぞれは、ゲート絶縁膜との境界に位置するゲート電極のゲート長に、半導体基板との境界に位置するオフセットスペーサーの幅を加えた長さが、略一定である。

【0009】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0010】

(実施の形態1)

図1に、本実施の形態に係る半導体装置の断面図を示す。図1では、半導体基板1上にゲート絶縁膜2が形成され、ゲート絶縁膜2上にゲート電極3が形成されている。ゲート絶縁膜2及びゲート電極3の側部には、オフセットスペーサー4が形成されている。ゲート電極3の両側に位置する半導体基板1には、イオン注入により拡散層5が形成されている。ここで、図1(a)はゲート電極3の形状が垂直形状、図1(b)はゲート電極3の形状が順テーパ形状、図1(c)は

ゲート電極 3 の形状が逆テーパ形状である。

【 0 0 1 1 】

ゲート電極 3 の形状は、図 1 でも示したように大きく分けて 3 種類ある。このようなゲート電極 3 の形状は、ゲート電極 3 のパターン疎密やエッチング条件等により決まる。ゲート電極 3 が垂直形状の場合、ゲート絶縁膜 2 との境界に位置するゲート電極 3 のゲート長（以下、ゲート長 L_b ともいう）は、ゲート電極 3 の最上部のゲート長（以下、ゲート長 L_t ともいう）と同じ長さである。ゲート電極 3 が順テーパ形状の場合、ゲート長 L_b はゲート長 L_t に比べ長くなる。一方、ゲート電極 3 が逆テーパ形状の場合、ゲート長 L_b はゲート長 L_t に比べ短くなる。なお、図 1 に示すゲート電極 3 は、全てゲート長 L_t の長さが同じである。

【 0 0 1 2 】

このようなゲート電極 3 の形状の違いは、拡散層 5 の形成に影響を与える。つまり、拡散層 5 は、ゲート電極 3 をマスクとしてイオン注入を行うことで半導体基板 1 に形成される。そのため、特にゲート電極 3 のゲート長 L_b の形状により形成される拡散層 5 の形状が異なる。なお、ゲート電極 3 をマスクとして利用することを、セルフアライメントと呼ばれている。図 2 に、ゲート電極 3 をマスクとしてイオン注入を行った半導体装置の断面図を示す。ゲート電極 3 のゲート長 L_b が長ければ、拡散層 5 に形成される実効のゲート長（以下、実効のゲート長 L_e ともいう）も長くなり、ゲート電極 3 のゲート長 L_b が短ければ、実効のゲート長 L_e も短くなる。そのため、ゲート長 L_t を設計値通りに形成したとしても、図 2（a）に示すゲート電極 3 が垂直形状以外は、設計値と異なる実効のゲート長 L_e の拡散層 5 が形成される。

【 0 0 1 3 】

具体的には、図 2（b）に示すゲート電極 3 が順テーパ形状の場合、実効のゲート長 L_e は設計値より長くなる。図 2（c）に示すゲート電極 3 が逆テーパ形状の場合、実効のゲート長 L_e は設計値より短くなる。実効のゲート長 L_e が設計値と異なれば、トランジスタの電気的特性が設計値からずれることになる。半導体装置として性能歩留まりが低下することになる。

【 0 0 1 4 】

そこで、本実施の形態では、ゲート絶縁膜 2 及びゲート電極 3 の側部にオフセットスペーサー 4 を形成して、実効のゲート長 L_e が設計値となるように調整している。つまり、イオン注入を行うためのマスクは、ゲート電極 3 だけではなくオフセットスペーサー 4 をも含めて構成されている。そのため、ゲート電極 3 が垂直形状以外の順テーパー形状や逆テーパー形状となっても、オフセットスペーサー 4 により実効のゲート長 L_e が設計値となるように調整することができる。

【 0 0 1 5 】

例えば図 3 (a) のようにゲート電極 3 が垂直形状の場合、ゲート電極 3 のゲート長 L_b が L_1 、オフセットスペーサー 4 の幅 S (半導体基板 1 とオフセットスペーサー 4 との境界部分の幅) が S_1 とする。そして、図 3 (b) のようにゲート電極 3 が順テーパー形状の場合、ゲート電極 3 のゲート長 L_b が L_2 で、 $L_2 > L_1$ の関係となる。そのため、オフセットスペーサー 4 の幅 S が S_1 より短い S_2 に調整される。一方、図 3 (c) のようにゲート電極 3 が逆テーパー形状の場合、ゲート電極 3 のゲート長 L_b が L_3 で、 $L_3 < L_1$ の関係となる。そのため、オフセットスペーサー 4 の幅 S が S_1 より長い S_3 に調整される。

【 0 0 1 6 】

本実施の形態では、ゲート電極 3 の形状に基づいてオフセットスペーサー 4 の形状を変化させる。このゲート電極 3 とオフセットスペーサー 4 との関係は、ゲート電極 3 のゲート長 L_b とオフセットスペーサー 4 の幅 S との和が一定値となる。つまり、 $L_b + (S \times 2) = \text{一定値}$ となるように、オフセットスペーサー 4 を調整し形成している。その結果、図 1 で示したようにゲート電極 3 の形状にかかわらず、実効のゲート長 L_e が設計値となるように製造できる。そして、トランジスタの電気的特性の設計値からずれを低く抑えることができ、半導体装置としての性能歩留まりを改善することができる。

【 0 0 1 7 】

次に、本実施の形態に係る半導体装置を製造方法について説明する。まず、図 4 に示すように、半導体基板 1 上に写真製版技術を用いてゲート絶縁膜 2 及びゲート電極 3 を形成する。ゲート電極 3 の形状は図 4 (a) が垂直形状、図 4 (b)

）が順テーパ形状、図 4（c）が逆テーパ形状である。図 4 に示したゲート電極 3 上に、TEOS（テトラエトキシオルソシリケート： $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ ）を原材料とした酸化膜（TEOS 酸化膜ともいう）や窒化膜等の絶縁膜 6 を CVD（Chemical Vapor Deposition）法で成膜する。図 5 に、絶縁膜 6 を成膜した後の半導体装置の断面図を示す。ここで、絶縁膜 6 のカバレッジや膜はオフセットスペーサー 4 の形状に影響を与えるため、CVD の圧力、ガス流量や温度などの成膜条件をコントロールする必要がある。例えば、図 5（c）のように逆テーパ形状のゲート電極 3 の場合、最適なカバレッジとして絶縁膜 6 がゲート電極 3 の肩部で張り出すように厚く成膜されるように成膜条件をコントロールする必要がある。

【0018】

次に、絶縁膜 6 に対し異方性ドライエッチングを行い、オフセットスペーサー 4 を形成する。オフセットスペーサー 4 は、図 1 に示したような形状となる。つまり、ゲート電極 3 の形状にかかわらず、ゲート電極 3 のゲート長 L_b とオフセットスペーサー 4 の幅 S との和が一定値となる。なお、本実施の形態では CVD 法により絶縁膜 6 を成膜し、異方性ドライエッチングでオフセットスペーサー 4 を形成しているが、本発明はこれに限られない。例えば、High density Plasma を用いて絶縁膜 6 である酸化膜を成膜し、スパッタエッチング法により最適なオフセットスペーサー 4 形状を形成しやすい絶縁膜 6 に絶縁膜 6 の形状を変化させる方法でも良い。

【0019】

また、本実施の形態では CVD 法により絶縁膜 6 を成膜した後に、絶縁膜 6 のカバレッジや膜厚が最適でない場合に、以下のような方法により最適な絶縁膜 6 のカバレッジや膜厚に調整することができる。CVD 法により絶縁膜 6 を成膜後に、まず砒素などの不純物を絶縁膜 6 の表面に全面注入する。次に、絶縁膜 6 に対しフッ酸（HF）などの希釈液をエッチャントとしてウェットエッチングを行う。このウェットエッチングは、絶縁膜 6 の表面には砒素が注入されているためエッチングレートが速くなる。そのため、ウェットエッチングによる絶縁膜 6 のエッチングは等方性が崩れる。その結果、最適な絶縁膜 6 のカバレッジや膜厚に

調整することができる。調整後の絶縁膜 6 からは、異方性ドライエッチングによりオフセットスペーサー 4 が形成される。

【 0 0 2 0 】

以上のように、本実施の形態に係る半導体装置は、半導体基板 1 上に複数のゲート電極構造を備えた半導体装置であって、ゲート電極構造は、半導体基板 1 上に形成されたゲート絶縁膜 2 と、ゲート絶縁膜 2 上に形成されたゲート電極 3 と、ゲート電極 3 の側部に形成されるオフセットスペーサー 4 とを備え、複数のゲート電極構造のそれぞれは、ゲート絶縁膜 2 との境界に位置するゲート電極 3 のゲート長 L_b に、半導体基板 1 との境界に位置するオフセットスペーサー 4 の幅 S を加えた長さが、略一定であるので、ゲート電極 3 の形状にかかわらず、実効のゲート長 L_e の長さが略一定となり、トランジスタの電気的特性のバラツキも低減し、半導体装置の性能歩留まりも改善される。

【 0 0 2 1 】

また、本実施の形態に係る半導体装置は、ゲート電極 3 の形状が、垂直形状、順テーパ形状及び逆テーパ形状のものが同時に半導体基板 1 上に存在するので、様々な形状のゲート電極 3 が同時に半導体基板 1 上に存在するにもかかわらず、実効のゲート長 L_e の長さが略一定となり、トランジスタの電気的特性のバラツキも低減し、半導体装置の性能歩留まりも改善される。

【 0 0 2 2 】

なお、ゲート電極 3 の側壁にオフセットスペーサー 4 を設けることは、実効のゲート長 L_e の長さが略一定にするだけではなく、斜め方向からのイオン注入においてグレインの方向やバウンダリを介してイオンがゲート電極 3 を突き抜ける現象をオフセットスペーサー 4 により低減することができる。これらもトランジスタの電気的特性のバラツキ低減に寄与する。さらにゲートオーバーラップ容量の低減や短チャンネル効果の改善の効果が、オフセットスペーサー 4 を設けることにより期待できる。

【 0 0 2 3 】

また、本実施の形態に係る半導体装置を製造する製造方法は、半導体基板 1 上にゲート絶縁膜 2 を介してゲート電極 3 を形成する工程と、ゲート電極 3 上に C

V D法により絶縁膜 6 を成膜する工程 (a) と、絶縁膜 6 の表面に不純物を全面に注入する工程 (b) と、不純物を注入した絶縁膜 6 をウェットエッチングする工程 (c) と、ウェットエッチング後の絶縁膜 6 に対し、異方性ドライエッチングによりオフセットスペーサー 4 を形成する工程 (d) とを備え、ゲート電極の形成後に、ゲート電極のゲート長を測定する工程を有し、測定に基づき工程 (a)、工程 (c) 及び工程 (d) を調整することを特徴とするので、所定のオフセットスペーサー 4 の幅 S を形成するために絶縁膜 6 を調整することができる。

【 0 0 2 4 】

なお、ゲート電極 3 の形状がばらつく原因に、ゲート電極 3 のパターンの疎密以外に、N M O S であるか P M O S であるかの違いがある。これは、N M O S と P M O S とでドーピングされている不純物が違うため、ゲート電極 3 のエッチング時にゲート電極 3 の形状差が生じる。このようなゲート電極 3 形状差に対しても、ゲート電極 3 のゲート長 L_b とオフセットスペーサー 4 の幅 S との和を一定値とすることで、セルフアライメントで実効のゲート長 L_e の長さを一定にすることができる。

【 0 0 2 5 】

(実施の形態 2)

次に、図 6 に本実施の形態に係る半導体装置の断面図を示す。図 6 では、半導体基板 1 上にゲート絶縁膜 2 が形成され、ゲート絶縁膜 2 上にゲート電極 3 が形成されている。ゲート絶縁膜 2 及びゲート電極 3 の側部には、オフセットスペーサー 4 が形成されている。さらに、オフセットスペーサー 4 の外側にサイドウォール 7 が形成されている。ゲート電極 3 の両側に位置する半導体基板 1 には、イオン注入により浅い拡散層 8 と深い拡散層 9 とが形成されている。ここで、図 6 のゲート電極 3 の形状は垂直形状であるが、ゲート電極 3 の形状は順テーパ形状や逆テーパ形状であっても良い。

【 0 0 2 6 】

本実施の形態に係る半導体装置では、オフセットスペーサー 4 を形成後に浅い拡散層 8 を形成するため、ゲート電極 3 及びオフセットスペーサー 4 をマスクとしてイオン注入を行う。オフセットスペーサー 4 を調整することでゲート電極 3

の形状のバラツキを抑えるのは、実施の形態 1 と同じである。次に、オフセットスペーサー 4 の外側にサイドウォール 7 を形成する。サイドウォール 7 の形成方法は、ゲート電極 3 上に絶縁膜を成膜し、この絶縁膜を異方性ドライエッチングすることでサイドウォール 7 を形成する方法が一般的である。

【 0 0 2 7 】

サイドウォール 7 を形成後に、深い拡散層 9 を形成するため、ゲート電極 3、オフセットスペーサー 4 及びサイドウォール 7 をマスクとしてイオン注入を行う。深い拡散層 9 のイオン注入後にアニールすることで図 6 のような半導体装置が得ることができる。図 6 に示す半導体装置は、実施の形態 1 と同様、ゲート電極 3 の形状にかかわらず実効のゲート長 L_e の長さが一定で、浅い拡散層 8（浅いソース・ドレイン領域）と深い拡散層 9（深いソース・ドレイン領域）とを有する MOSFET 構造である。

【 0 0 2 8 】

以上のように、本実施の形態に係る半導体装置は、ゲート電極 3 の両側に位置する半導体基板 1 内において、浅いソース・ドレイン領域 8 と深いソース・ドレイン領域 9 とが形成され MOSFET を構成するので、ゲート電極 3 の形状にかかわらず、実効のゲート長 L_e の長さが略一定で、トランジスタの電気的特性のバラツキも低減し、半導体装置の性能歩留まりも改善される MOSFET 構造を有する半導体装置である。

【 0 0 2 9 】

（実施の形態 3）

ゲート電極 3 を形成する場合、垂直形状や順テーパ形状などの形状がばらつく場合のほか、ゲート電極 3 のゲート長が全てのゲート電極 3 の位置で所定の長さから長く形成される場合や短く形成される場合もある。本実施の形態では、全体的にゲート長が所定の長さからずれた場合に、Feed Forward 的に実効のゲート長 L_e の長さが略一定になるよう調整する製造方法について説明する。なお、本実施の形態に係る製造方法は、実施の形態 1 で説明した製造方法と組み合わせることが可能である。

【 0 0 3 0 】

図 7 及び図 8 に垂直形状のゲート電極 3 が形成されている。図 7 のゲート電極 3 のゲート長 L_4 は所定のゲート長より短く形成されている。また、図 8 のゲート電極 3 のゲート長 L_5 は所定のゲート長より長く形成されている。なお、図 7 及び図 8 のゲート電極 3 は垂直形状であるが、順テーパ形状や逆テーパ形状のゲート電極 3 であっても以下の製造方法は適用することができる。

【 0 0 3 1 】

本実施の形態では、まず図 7 に示すようなゲート電極 3 に対して、ゲート長 L_4 を測定する。この測定結果に基づいて、次工程のオフセットスペーサー 4 の形成工程を調整する。具体的に、図 7 のようなゲート電極 3 の場合、所定のゲート長に対して測定されるゲート長 L_4 は短くなる。そのためオフセットスペーサー 4 の幅 S_4 を所定の幅より大きくする必要がある。そこで、ゲート電極 3 上に CVD 法で絶縁膜 6 を成膜する工程で絶縁膜 6 を所定の厚さより厚く形成する。その後、絶縁膜 6 に対し、異方性ドライエッチングを行い、オフセットスペーサー 4 を形成する。

【 0 0 3 2 】

一方、図 8 のようなゲート電極 3 の場合、所定のゲート長に対して測定されるゲート長 L_5 は長くなる。そのためオフセットスペーサー 4 の幅 S_5 を所定の幅より小さくする必要がある。そこで、ゲート電極 3 上に CVD 法で絶縁膜 6 を成膜する工程で絶縁膜 6 を所定の厚さより薄く形成する。同様に、その後、絶縁膜 6 に対し、異方性ドライエッチングを行い、オフセットスペーサー 4 を形成する。

【 0 0 3 3 】

以上のように、本実施の形態に係る半導体装置の製造方法は、ゲート電極 3 の全ての位置でゲート長の長さが所定の長さより短い場合に、所定の膜厚より厚い絶縁膜 6 をゲート電極 3 上に成膜し、ゲート電極 3 の全ての位置でゲート長の長さが所定の長さより長い場合に、所定の膜厚より薄い絶縁膜をゲート電極上に成膜するので、ゲート電極 3 の形状に基づいて最適な形状のオフセットスペーサー 4 を形成することができ、Feed Forward 的に実効のゲート長 L_e の長さを略一定にすることができる。

【 0 0 3 4 】

次に、ゲート長の測定結果に基づいて、次工程のオフセットスペーサー 4 の形成工程を調整する別の方法を示す。図 7 のようなゲート電極 3 の場合、所定のゲート長に対して測定されるゲート長 L_4 は短くなる。そのためオフセットスペーサー 4 の幅 S_4 を所定の幅より小さくする必要がある。そこで、ゲート電極 3 上に CVD 法で絶縁膜 6 を成膜した後に、実施の形態 1 で示した絶縁膜 6 に対するウェットエッチング処理時間を、所定の処理時間より短くする。つまり、絶縁膜 6 を所定の厚さより厚く形成する。その後、絶縁膜 6 に対し、異方性ドライエッチングを行い、オフセットスペーサー 4 を形成する。

【 0 0 3 5 】

一方、図 8 のようなゲート電極 3 の場合、所定のゲート長に対して測定されるゲート長 L_5 は長くなる。そのためオフセットスペーサー 4 の幅 S_5 を所定の幅より小さくする必要がある。そこで、ゲート電極 3 上に CVD 法で絶縁膜 6 を成膜した後に、実施の形態 1 で示した絶縁膜 6 に対するウェットエッチング処理時間を、所定の処理時間より長くする。つまり、絶縁膜 6 を所定の厚さより薄く形成する。同様に、その後、絶縁膜 6 に対し、異方性ドライエッチングを行い、オフセットスペーサー 4 を形成する。

【 0 0 3 6 】

本実施の形態に係る半導体装置の製造方法は、ゲート電極 3 の全ての位置でゲート長の長さが所定の長さより短い場合に、絶縁膜 6 に対して行うウェットエッチングの処理時間を所定の処理時間より短くし、ゲート電極 3 の全ての位置でゲート長の長さが所定の長さより長い場合に、絶縁膜 6 に対して行うウェットエッチングの処理時間を所定の処理時間より長くするので、Feed Forward 的に実効のゲート長 L_e の長さを略一定にすることができる。なお、絶縁膜 6 の膜厚を調整する方法は、上記で示したウェットエッチング処理時間を調整する以外に、エッチャントであるフッ酸 (HF) などの希釈液の濃度を調整する方法等が考えられる。

【 0 0 3 7 】

さらに、ゲート長の測定結果に基づいて、次工程のオフセットスペーサー 4 の

形成工程を調整する別の方法を示す。図 8 のようなゲート電極 3 の場合、所定のゲート長に対して測定されるゲート長 L_5 は長くなる。そのためオフセットスペーサー 4 の幅 S_5 を所定の幅より小さくする必要がある。そこで、ゲート電極 3 上の絶縁膜 6 に対して異方性ドライエッチングを行う際に、オーバーエッチングで絶縁膜 6 をエッチングすることで、オフセットスペーサー 4 の幅 S_5 が小さいオフセットスペーサー 4 を形成している。

【 0 0 3 8 】

【発明の効果】

本発明に記載の半導体装置は、半導体基板上に複数のゲート電極構造を備えた半導体装置であって、ゲート電極構造は、半導体基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の側部に形成されるオフセットスペーサーとを備え、複数のゲート電極構造のそれぞれは、ゲート絶縁膜との境界に位置するゲート電極のゲート長に、半導体基板との境界に位置するオフセットスペーサーの幅を加えた長さが、略一定であるので、ゲート電極の形状にかかわらず、実効のゲート長の長さが略一定となり、トランジスタの電気的特性のバラツキも低減し、半導体装置の性能歩留まりも改善される。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の断面図である。

【図 6】 本発明の実施の形態 2 に係る半導体装置の断面図である。

【図 7】 本発明の実施の形態 3 に係る半導体装置の断面図である。

【図 8】 本発明の実施の形態 3 に係る半導体装置の断面図である。

【符号の説明】

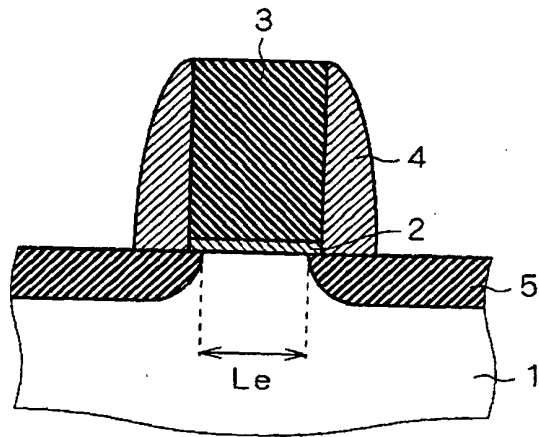
1 半導体基板、 2 ゲート絶縁膜、 3 ゲート電極、 4 オフセットスペーサー、 5 拡散層、 6 絶縁膜、 7 サイドウォール、 8 浅い拡散層、 9 深い拡散層。

【書類名】

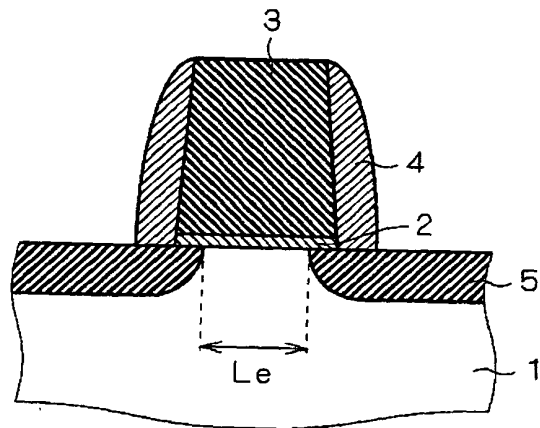
図面

【図1】

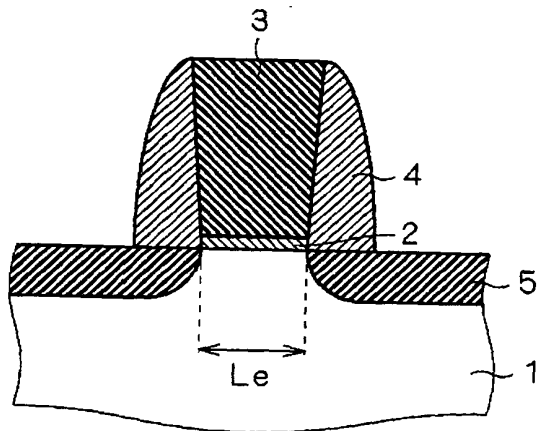
(a)



(b)

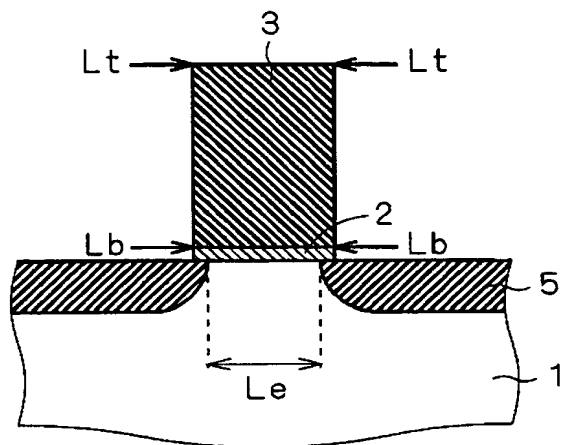


(c)

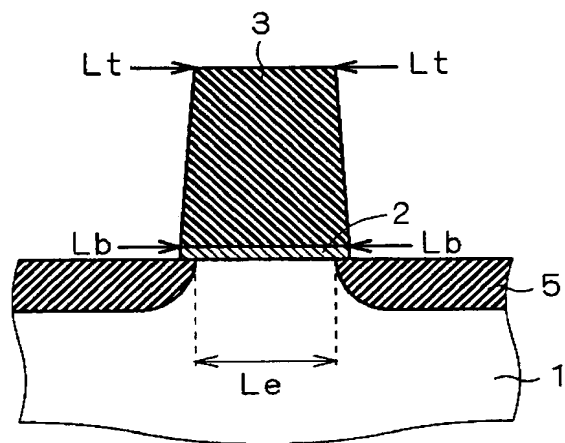


【図 2】

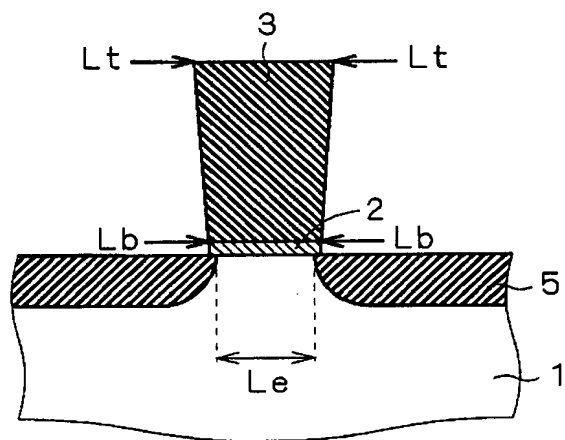
(a)



(b)

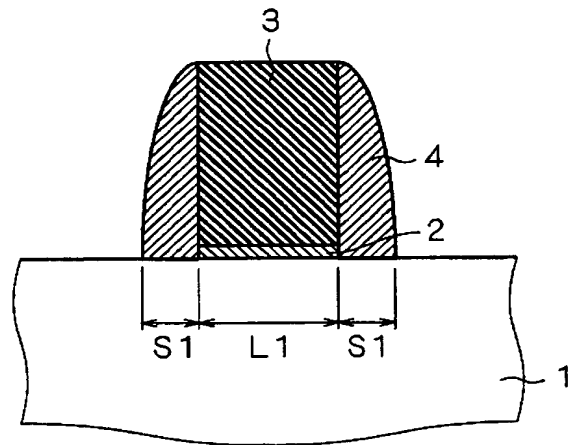


(c)

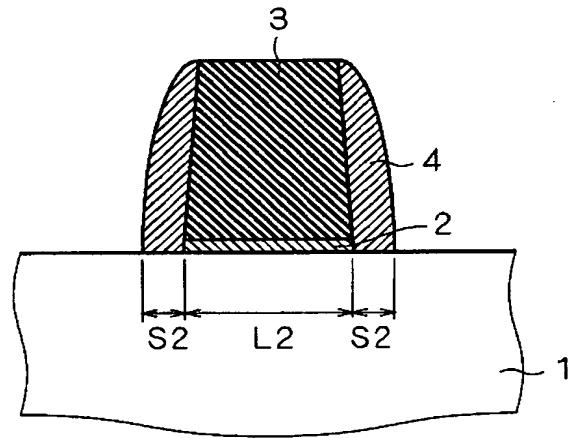


【図3】

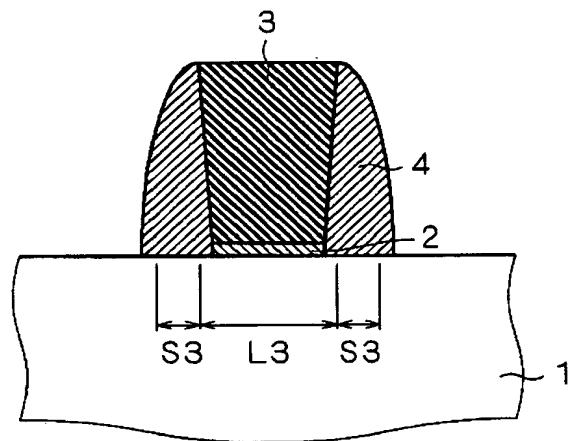
(a)



(b)

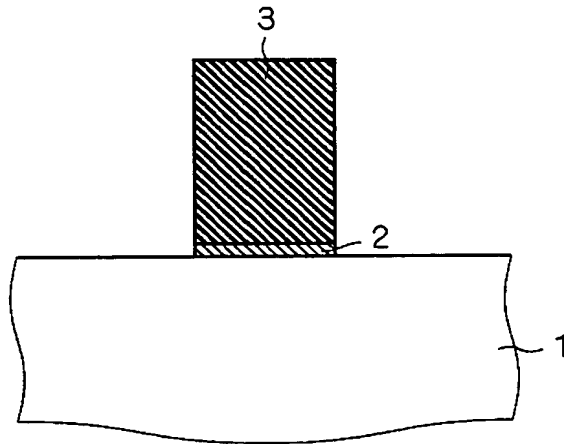


(c)

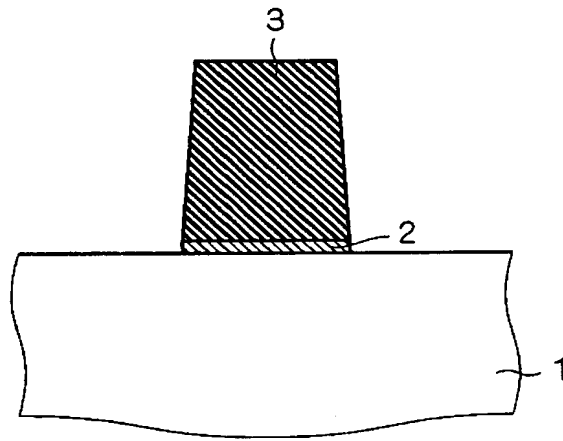


【図4】

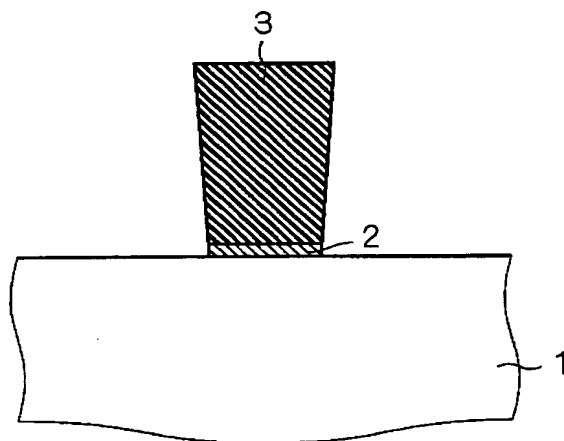
(a)



(b)

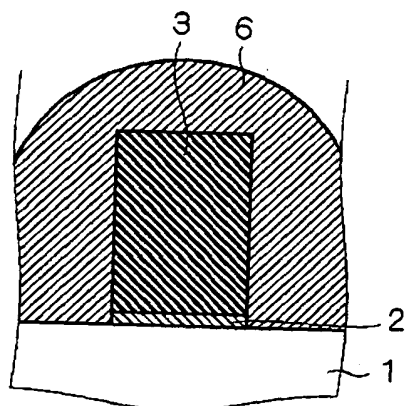


(c)

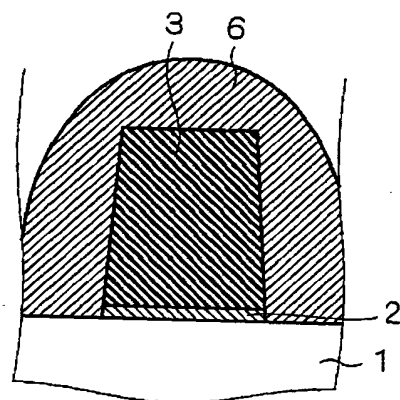


【図5】

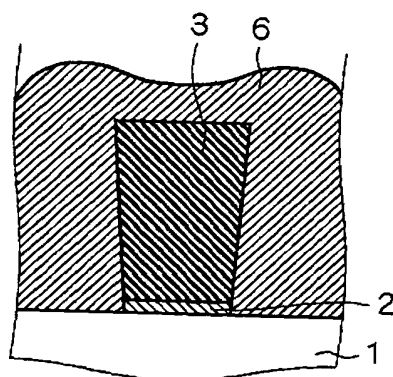
(a)



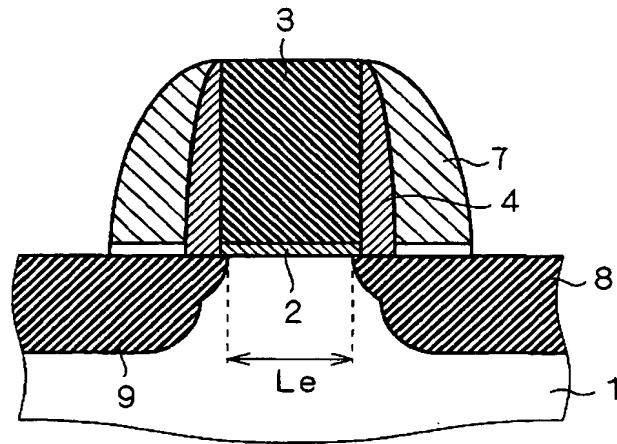
(b)



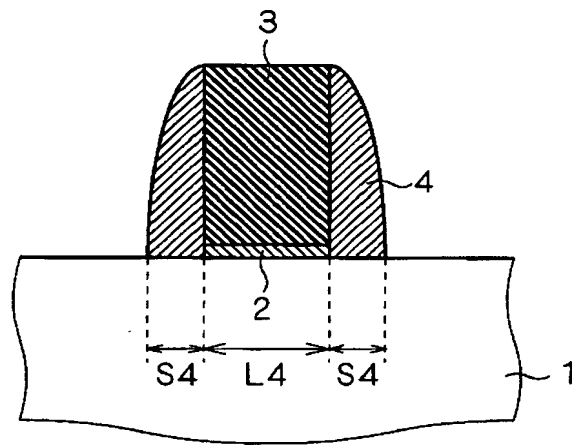
(c)



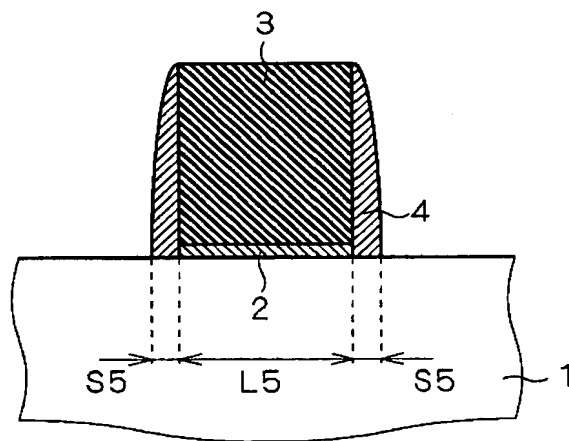
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ゲート電極の形状が垂直形状、順テーパ形状、逆テーパ形状であっても、オフセットスペーサーを用いることでゲート電極の実効的なゲート長が一定にすることが可能な半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 上にゲート絶縁膜 2 が形成され、ゲート絶縁膜 2 上にゲート電極 3 が形成されている。ゲート絶縁膜 2 及びゲート電極 3 の側部には、オフセットスペーサー 4 が形成されている。ゲート電極 3 の両側に位置する半導体基板 1 には、イオン注入により形成された拡散層 5 が形成されている。ここで、ゲート電極 3 の形状としては垂直形状（a）、順テーパ形状（b）、逆テーパ形状（c）とがあるが、オフセットスペーサー 4 の形状を変化させることで、ゲート絶縁膜との境界に位置するゲート電極のゲート長に、半導体基板との境界に位置するオフセットスペーサーの幅を加えた長さが略一定となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [5 0 3 1 2 1 1 0 3]

1. 変更年月日	2 0 0 3 年 4 月 1 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目 4 番 1 号
氏 名	株式会社ルネサステクノロジ